



(12) 发明专利申请公开说明书

(21) 申请号 92112490.2

(51) Int.Cl³

H01L 29/784

(43) 公开日 1993 年 6 月 16 日

(22) 申请日 92.9.25

(30) 优先权

(32) 91.9.25 (33) JP (31) 273377/91

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 竹村保彦

阔濑晃 鱼地秀贵

(74) 专利代理机构 中国专利代理(香港)有限公司

代理人 肖梅昌 叶恺东

H01L 27/088 H01L 23/52

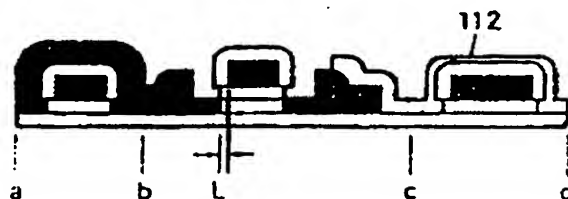
H01L 21/28 H01L 21/02

说明书页数: 23 附图页数: 10

(54) 发明名称 半导体器件及其形成方法

(57) 摘要

一种薄膜晶体管或集成电路, 包括一绝缘基片, 在该基片上形成的 TFTs(薄膜晶体管), 以及多层导电互连。该电路具有成为栅电极与栅互连的第一金属化层。第一金属化层的表面经阳极氧化, 氧化形成第一金属化表面上的绝缘被覆膜, 变成源与漏电极或导电互连的第二金属层, 于是直接或经过一层间绝缘层形成在绝缘被覆膜上。随之改进成品率及改善可靠性。



<43>

权 利 要 求 书

1、一种半导体器件，包括：

在一基片的一绝缘表面上设置一半导体膜；

在所述的半导体膜上设置一绝缘膜；

在所述的绝缘膜上设置金属或金属硅化物的栅电极，所述栅电极的上表面和侧表面都覆盖着一层包括所述金属的或金属硅化物的氧化物层；

由与所述栅电极相同的材料构成的布线，且其上覆盖着一层包括所述金属氧化物或金属硅化物的层，该布线设置在所述的绝缘表面上；

在由与所述栅极相同材料构成的布线覆盖着的所述层上设置一漏布线。

2、按照权利要求1的器件，其中所述栅极包括选自铝、钛、钽、硅化铝、硅化钛和硅化钽组成的一组中的一种材料的单层。

3、按照权利要求1的器件，其中所述栅极包括由一磷掺杂的硅膜与在所述硅膜上设置的一金属膜构成的多层。

4、按照权利要求1的器件，其中所述的半导体膜延伸在所述绝缘表面与由所述栅电极相同材料构成的所述布线之间。

5、按照权利要求1的器件，其中所述栅极包括第一金属层和在所述第一金属层上的第二金属层构成的多层。

6、按照权利要求1的器件，其中所述的漏布线与设置在所述半导体膜内的漏区相连接。

7、按照权利要求6的器件，其中所述的漏布线与所述的由与栅极相同材料构成的布线覆盖着的所述层相接触。

8、按照权利要求1的器件，其中所述的绝缘表面是设置在一硅圆片上的氧化硅膜的表面。

9、按照权利要求1的器件，其中所述的基片包括由半导体硅构成的单块集成电路。

10、按照权利要求1的器件，还包括一层由与所述的绝缘膜相同的材料构成的膜，该膜设置在由与栅电极相同材料构成的所述绝缘表面与所述布线之间。

11、一种形成半导体器件的方法，包括步骤：

在一基片的一绝缘表面上形成一半导体膜；

在所述绝缘表面和所述半导体膜之上，形成一绝缘膜；

在所述的绝缘膜上，形成包括金属或金属硅化物的第一薄膜；

氧化所述第一薄膜的表面；以及

在所述第一薄膜上，形成包括金属的第二薄膜。

12、按照权利要求11的方法，其中所述的第一薄膜的所述表面，包括通过将所述第一薄膜刻图形成的电极的和布线的上表面与侧表面。

13、按照权利要求11的方法，其中所述的氧化步骤是用阳极氧化实现的。

14、按照权利要求11的方法，其中，在所述第二薄膜形成的步骤中，形成的所述第二薄膜与在所述第一薄膜上的氧化表面相接触。

15、一种形成半导体器件的方法，包括步骤：

在一基片的一绝缘表面上，形成一半导体膜；
在所述绝缘膜表面和所述半导体膜上，形成一绝缘膜；
在所述的绝缘膜上形成包括金属或金属硅化物的第一薄膜；
将所述第一薄膜刻成图案；
阳极氧化所述的图案；以及
在所述第一薄膜上形成包括金属的第二薄膜。

16、按照权利要求15的方法，其中所述的图案包括栅极、与栅极连接的布线以及电容的电极。

17、按照权利要求15的方法，进一步包括步骤：
在氧化过的表面上形成一层间绝缘膜。

18、按照权利要求17的方法，其中，在所述第二薄膜形成步骤中，形成的所述第二薄膜与所述层间绝缘膜相接触。

19、按照权利要求15的方法，其中，在所述第二薄膜形成步骤中，形成的所述第二薄膜与氧化表面相接触。

20、按照权利要求15的方法，进一步包括步骤：

将所述的第二薄膜刻图成为与设置在所述半导体膜上的漏区相连的漏电极。

半导体器件及其形成方法

本发明涉及一种高可靠性的形成在绝缘基片上的半导体器件或半导体集成电路，它并能以高成品率批量生产。本发明还涉及这种半导体器件或半导体集成电路的制造方法。本发明可用于液晶显示驱动电路或薄膜图象传感器驱动电路，也能用于三维集成电路。

近年来，为减少基片与导电互连之间的寄生电容，以改善工作速度，人们企求在用玻璃或蓝宝石制成的绝缘基片上形成半导体集成电路。尤其是玻璃材料，诸如使用石英，不象硅片，对基片的尺寸不会附加限制。而且，玻璃材料又便宜，此外，它易于造成器件间的隔离。还有，在CMOS单块集成电路的情况下不会出现闩锁问题。除了这些原因之外，在液晶显示或密触型图象传感器情况下，集成半导体器件要伴有液晶器件（元件）或光敏器件（元件）。因此，需要把薄膜晶体管（TFT）制作在透明平板或基片上。

由此缘故，薄膜半导体器件曾经制作在绝缘基片上。然而，通常的薄膜半导体器件是用形成半导体集成电路或单片集成电路同样的制造步骤，制作在半导体衬底上，因而制造时需要相当多的掩模板。在常规单片集成电路里，作为衬底的单晶硅可靠性方面相当优越，且难以受热处理畸变或其他困扰。所以掩膜对准工艺罕有对准差错。

虽然，一般商用绝缘基片在可靠性方面低于硅衬底。尤其是，由玻璃制造的基片难以预计热处理的畸变，以致设计出的掩膜未能适合

基片。这样一来，掩膜对准工艺时常很难进行。

这里要制造的液晶显示器件或类似器件，需要制造一种比现有集成电路面积大得多的集成电路，这就要把掩膜对准工艺复杂化了。于是就有一个减少掩膜对准工序次数的要求。

本发明的一个目的是提供一种在绝缘基片上，以减少几次掩膜对准工艺而形成半导体器件或集成电路的方法。

本发明的另一个目的是提供一种增进成品率改善可靠性而形成半导体器件或集成电路的方法。

本发明还有一个目的是提供一种其中具有稍短回路的半导体器件或集成电路。

一集成电路做在绝缘基片上，器件的静电击穿往往成为一个问题，因为静电常在绝缘基片上产生，并且难以消除这些静电。特别是在导电互连的各不同层间静电击穿的情况下，如液晶显示的情况下，局部击穿而损坏了一行与一列。但又不像半导体存储器，不可能用其它部分补偿已损坏部分的功能。因此造成的危害极大。

通过引入一种完全不同于已往工艺的加工过程，本发明解决了所遇到的问题。具体地说，通过采用由下面的导电互连层氧化而形成的氧化物来部分或全部取代已往技术的集成电路中所使用的层间绝缘层，因而减少了掩膜对准工序的次数，或改善了众多导电互连层间的电压—电阻特性。

本发明的其它目的和特点，将通过下面的叙述予以表达。

图1 (A) — (E) 是按照本发明的薄膜晶体管的剖面图，用来说明制造该晶体管的几个连续步骤。

图2 是按照本发明制造的液晶显示器的一个象素的图解说明。

图3 (A) — (D) 是按本发明的另一种薄膜晶体管的剖面图，用来说明制造该晶体管的几个连续步骤。

图4 (A) — (D) 是按照本发明的另外一种薄膜晶体管的剖面图，用来说明制造该晶体管的几个连续的步骤。

图5 是按照本发明的另一种液晶显示器的一个象素的图解说明。

图6 (A) — (D) 是按照本发明的又一种薄膜晶体管的剖面图，用来说明进行该晶体管制造的几个连续步骤。

图7 (A) — (D) 是按照本发明的再一种薄膜晶体管的剖面图，用来说明进行该晶体管制造的几个连续步骤。

图8 (A) — (D) 是另一种薄膜晶体管的剖面图，用来说明进行该晶体管制造的几个连续步骤。

图9 (A) — (B) 是按照本发明进行制造液晶显示器的几个连续步骤的图解说明。

图10 (A) — (D) 是按照本发明的更进一步的薄膜晶体管的剖面图，用来说明该晶体管制造的几个连续的步骤。

参看图1 (A) — (E)，在一基片101的绝缘表面上，首先形成一硅氧化物膜102，作为钝化膜。该硅氧化物膜102的厚度是100到1000 nm。硅氧化物膜之上再形成一半导体膜。钝化膜起着防止可移动离子，如钠离子，从基片迁移到覆盖着的半导体区，否则半导体的特性会恶化。这种钝化膜，例如可以包括单层或多层氮化硅、氧化硅和氧化铝。当基片的纯度足够高且可移动离子的数量少时，就不必形成这种钝化膜。该半导体膜可以是非晶硅、多晶硅或微晶硅。该半导体膜经腐蚀形成一半导体区103。

将一绝缘膜形成在该基片(基片的绝缘表面)和半导体区103

上。由于该绝缘膜将用作栅绝缘膜，这就要求该膜与底下半导体区的界面特性优良，并且绝缘膜只含有少量会形成载流子陷阱中心的和界面能级的缺陷。例如，绝缘膜用E C R C V D 法最好形成氧化硅膜，该绝缘膜也可以由各顶层重叠的多层绝缘膜组成。这个绝缘膜的厚度，要考虑到用作栅绝缘膜的实际情况加以确定。一般，厚度在50 与500 nm 之间。这样就得到图1 (A) 所示的一种叠层。

接着，在绝缘膜上形成一金属或金属硅化物膜，如主要含铝的膜。如果该金属或金属硅化物膜，或者是由纯铝，或者是由几乎不含杂质的铝组成，那么，就不会达到足够的强度。这样的叠层如遇到电迁移的机械力就易受损坏，所以薄膜要由铝加1 —10 % 的硅制造。钛、钽或其组合物可用来替代铝。而氧化物膜用阳极氧化这些金属形成，这些氧化物膜有优良的电压—电阻特性。选择所用的金属时应当想到，氧化钛和氧化钽有比氧化铝大得多的介电常数。因此，如果层间绝缘层是由有着这种大介电常数的材料制造，那么就会产生大的介电损耗。在选择材料时，还应注意到，钛和钽有比铝高的电阻率。在首次导电互连线之中，栅互连(布线)要响应高速度，并且比上层的导电互连线呈现较小的静电损耗。更可取的是，栅互连(布线)由铝制造，而当只要以较低速度响应的存储电容互连又不是起电容作用时，可用钽或钛制造，当然在这种情况下，所用的掩膜数要增加一个。这种情况下，形成了的金属或金属硅化物膜要用刻图有选择地除去，在绝缘膜上形成一栅电极106、从栅电极延伸出来的栅互连105(与栅极连接的布线105)以及起电容器电极作用的存储电容互连107。所用的电容互连107与该栅互连(布线)无关。栅电极可以包括选自铝、钛、钽、铝硅化物、钛硅化物和钽硅化物组成的一组材料构成

的一单层。栅电极也可以由第一金属层与在所述第一金属层上制作的一第二金属层组成的多层。进一步，栅电极还可以是由掺磷的硅膜与硅膜上制作的金属膜组成的多层。

然而，采用众所周知的掺杂剂扩散法，诸如离子注入或等离子掺杂法，把掺杂剂原子注入半导体区，形成掺杂区108，此时掺杂剂注入期间，栅电极106用作掩蔽。所以掺杂区是用一直对准过程形成的。所得到的叠层示于图1(B)。

于是将整个叠层浸入一种适当的电解液中，把栅互连(布线)和存储电容互连与电源相连接，加上一个DC或AC电流，通过阳极氧化法来氧化该互连(互连线的上表面和侧面以及栅极)在栅互连(布线)、栅电极、存储电容电极等的表面上(上表面和侧面)形成氧化膜109。这里的导电互连由铝、钛或钽制造，则相应形成的是氧化铝、氧化钛或氧化钽的层。这些氧化物膜含金属和氧，而且在薄膜中还会含有构成电介质的元素，或者氧化薄膜可能产生氢氧化物，因此变化了物理性质。举例说，有机酸用作电介质，那么该氧化膜中就会含碳；而硫酸用作电介质，氧化膜中会含硫。含碱金属离子的材料决不可用作电介质，因为钠离子和钾离子的金属离子进入半导体区，就会严重地恶化半导体的导电特性。

氧化膜的厚度由必要的电压—电阻值确定。该氧化步骤期间，栅电极缩减，从而就决定了氧化膜的厚度，也要考虑栅极与掺杂区间的重叠层。一般氧化膜的厚度要10到1000nm。

这里仅栅互连(布线)与电源连接，而存储电容互连并不与之相连，只在栅互连(布线)上形成一氧化膜。除自然有的氧化膜外，实际上存储电容互连上并不形成氧化膜。赋能时，通电流、加电压或别

的指标，在这些导电互连间可以改变。这样一来，就能改变形成的氧化膜的厚度。氧化膜被用作层间绝缘层。为减少导电互连间的电容起见，就要增加膜厚。另一方面，氧化膜用作电容，如存储电容的绝缘体，在这种场合希望要减少厚度。按用途情况不同，采用上述的举措是有效的。

在导电互连被覆以氧化膜之后，该叠层由电介液中取出并很好干燥。如有必要，将叠层暴露在热水或热蒸汽下，以改进氧化膜的质量。具体地说，特别是用阳极氧化获得厚膜の場合，所得到的膜层是多孔性的。这种膜虽很厚，但电压—电阻可能还不满意。也就是说，后继的步骤中，通过孔隙可能会发生电短路。在这种情况下，氧化膜与热水反应形成一种氢氧化物，因而增加体积。其结果，孔隙被堵塞起来，就这样，得到了一种电绝缘优越的致密膜。在任何情况下，要完全清洗该叠层，以防止电介液残留在被膜上。然后，将叠层加以干燥。所得到的叠层表示在图1（C）中。

然后形成与金属或金属硅化物的上面氧化过的表面1 0 9 相接触的的金属被覆层（膜），并刻图成漏互连和漏极1 1 0 以及源极1 1 1。漏极与设置半导体区1 0 3 上的漏区1 0 8 相连接。在矩阵电路之类的多层互连，如上述形成的导电互连，可能要与第一次形成的导电互连交叉，过去，形成第一导电互连后，要用绝缘材料形成层间绝缘层，上层导电互连形成在该层间绝缘层上，但本发明无需形成层间绝缘层；上层导电互连形成在其底下的导电互连上，因为底下的互连已经被覆着氧化膜。所以眼下工艺步骤与先前技术比较，掩膜数量能减少一个。所得的叠层表示在图1（D）中。

根据本发明，为得到图1（D）这样的叠层需要三块掩膜板。第

一块掩膜用以形成半导体区，第二块掩膜用以形成第一金属互连，第三块掩膜用以形成第二金属互连。过去曾经需要四块掩膜。首先一块用于形成一半导体区，其次一块用于形成第一金属互连，第三一块用于形成晶体管源电极，即在层间绝缘层形成窗口，第四一块用于形成第二金属互连。

此后，如图1（E）所示，通过溅射被覆一层透明导电材料，如锡铟氧化物或氧化锡。将该被覆层刻图形成液晶显示器的象素电极。就这样制造液晶显示器的象素，到此工艺步骤为止需要的掩膜数字四块。如上面看到的，图2表示按这个方法制造的液晶显示器的一个象素。该图中，点划线a—b—c—d相当于图1（E）的线a—b—c—d。图1大致地示出这些点的断面。

从图1（E）可以看出，薄膜晶体管掺杂区108的各端并不与栅电极各端对齐，显示出该栅极不与掺杂区重叠。栅极和各掺杂区之间的距离或横距L为0.2到0.5 μ m。这构成本发明的一个特点。更详细地说，图1的实施例是自对准的工艺注入掺杂剂原子形成掺杂区的。然后氧化栅极表面，在这个氧化步骤中，栅极表面退缩，所以该叠层有横距的状态。这样会增加开态流过的漏电流与关态漏电流之比。亦相当加一相反极性的栅压时常会遇到的漏电增大的问题可以得到遏制。

在图1的实施例中，栅极相对于掺杂区有一偏移横距离。根据本发明，此横距L可设定为任何所需的值。就是说，栅极能制成与掺杂区重叠。采用离子注入法射入掺杂剂原子的场合，可以通过离子能量来调整射入离子的二次散射程度。离子的二次散射会造成栅极下掺杂离子的下沉。这就是，如果二次散射度较大，于是栅极与掺杂区重叠范围也大，如果减少离子能量，遏制了二次散射，于是就压缩了重叠。

根据本发明，接着氧化栅极，因而栅极退缩。退缩的程度取决于氧化的程度。因此，可由控制注入离子的能量和氧化的程度来实现所希望范围的横距与重叠状态。

已表示出存储电容电极和互连1 0 7。这些电极和互连都在从透明象素电极1 1 2起它们的氧化物膜的对侧，该电极和互连1 0 7要保持与液晶对侧形成的对面电极相同的电位。结果，电容与形成的液晶象素的电容并联。每个薄膜晶体管(TFT)的栅源之间的寄生电容都很大，开关栅信号时，这个可以减少液晶象素的电位变化。图1的实施例中，钛的、铝的或钽的氧化物构成介质。这些材料的介质常数至少是典型绝缘或介质材料氧化硅的二倍以上。因此能缩小存储电容的面积，就是说，透光的液晶象素部分的面积增大，即数值孔径(孔径比)增大了。应注意到，液晶显示器并不总是需要这样的存储电容。

图3表示本发明的另一个实施例。图1的实施例中，层间绝缘层只是下层导电互连的氧化膜。这种情况下，膜厚出了难题，因这样的氧化物材料具有较大介质常数，会增大导电互连间的电容。图3中层间绝缘层由二层构成，增加了厚度，也就是，降低了平均介质常数，从而减少导电互连间的电容。

按图1实施例相同的方法，在绝缘基片3 0 1的表面形成一钝化膜3 0 2。该基片包括有一硅半导体的单片集成电路。基片的绝缘表面可以是制作在硅圆片上的氧化硅膜的表面。形成一半导体区3 0 3，而后形成栅氧化膜3 0 4。栅互连(布线)3 0 5、栅电极3 0 6和存储电容互连3 0 7都用相同的材料形成在绝缘表面上，此后，通过自对准离子注入工艺，注入掺杂剂原子，形成掺杂区3 0 8。此次高

子注入之前，需要剥除所有的栅氧化膜，而不同于图1 的实施例。按本方法得到图3（A）所示的一种叠层。

然后，如图3（B）所示，这些栅互连（布线）305、栅电极306和存储电容互连307的表面（下表面和侧表面）都予以氧化，用图1 实施例相同的方法，用根据需要产生的包括金属氧化物或金属硅化物的层309加以覆盖。于后，再在氧化了的表面上形成一层绝缘层313。在绝缘层313中形成一漏电极窗口314和一源电极窗口315。此外，在覆盖着栅布线305的层309上形成漏互连（布线）310和形成一源电极311。所得的叠层表示在图3（C）中，在图3（C）里漏互连（布线）310与层间绝缘层313相接触。

最后，如图3（D）所示，形成透明的导电电极312，或者象素的电极。这样就做成了液晶显示器的各象素。本实施例中，全过程用的掩模总数与常规工艺一样五块。这就是，第一块掩模用以形成半导体区，第二块掩模用以形成栅互连等，第三块掩模用以形成层间绝缘层中的窗口，第四块掩模用以形成漏互连等，第五块掩模用以形成象素各电极。

本发明中，在栅互连与漏互连的交叉部位有两层，即栅互连氧化层和层间绝缘层。尤其是，阳极氧化形成的氧化层既致密又电压—电阻特性优良，很适于层间隔离。已往只用一层层间绝缘层，因此在电压—电阻特性上出现问题。特别是在各导电互连的交叉点、台阶处存在问题。层间绝缘层不能完全覆盖台阶，可能出现裂痕，结果常发生与上导电层短路。在本新颖的方法里，全然不必考虑这种台阶上的缺陷，这就为改善成品率有很大贡献。

迄今所叙述的实施例，只用于一种导电率类型的薄膜晶体管。当然也可用于互补MOS晶体管。图4示出采用CMOS晶体管的一个液晶显示器的象素的一个实施例。使用CMOS晶体管的情况，在制造一种导电类型晶体管工艺中必须添加上一两个光刻步骤。图4表示制作一个象素需要5块掩模的制造步骤。

首先如前实施例相同的方法，在一绝缘基片401上形成钝化膜402，在所希望的部分形成半导体区403a和403b，然后形成栅绝缘膜，用铝在栅绝缘膜上形成金属互连409及栅极406a、406b。

把上述的互连和电极经阳极氧化，氧化到适当的深度。这里，例如它们由铝制作，它们和表面都覆盖着氧化铝被覆层409。若栅绝缘膜是由氧化硅组成的，那就用1/10氢氟酸溶液，稍稍腐蚀该基片，选择性地腐蚀去栅绝缘膜。此时，位于栅互连之下的和覆盖了氧化铝栅极之下的那些氧化硅部分将不会腐蚀掉。接着用周知的方法，将掺杂剂原子引入到半导体区内。例如，掺杂剂原子的导电类型是n型。

用另一方法，栅互连和栅电极氧化后，该栅绝缘膜保留时，注入掺杂剂原子。然后腐蚀栅绝缘膜，而用氧化铝作为掩模。结果得到一种类似的结构，这就是用图4(A)所示的。

在图1和图3的实施例中，先于导电互连和电极表面氧化就注入掺杂剂原子。图1的实施例中，先于表面氧化除去栅绝缘膜。因此作为典型表示在图1(C)，氧化铝的伞形部分留在导电互连和电极的表面。如果氧化铝的厚度为500nm，产生大致约为250nm的表面。在随后导电互连形成中，伞形部分会产生空隙，引起导电互连断裂的问题。但在图4的例子中，产生的空隙较少，故可避免互连断裂的问题。

接着，用材料407，诸如光刻掩膜料，覆盖留下的半导体区403a。在这种情况下，注入P-型掺杂剂原子。最后得到n-型掺杂区408a和p-型掺杂区408b，所得的叠层示于图4(B)。

除这些制造部分外，还可以实施以下步骤。在半导体区未加入掺杂物的阶段，首先用光刻胶之类涂覆半导体区403b，让n-型掺杂剂只注入到半导体区403a，而后覆盖该半导体区403a。然后只把p-型掺杂剂引入到半导体区403b中。但是采用此方法时，与图4的方法相比较，需要再来一个掩模。

随后按图1实施例相同的方式，形成金属互连和电极410a、410b、411，产生图4(C)的结构，然后形成像素电极412，结果衍生出图4(D)所见的一种结构。

图5是通过上述步骤制造的一个液晶显示器的像素的顶视图。本实施例中，该栅互连405或邻近栅互连405的一部分嵌入像素电极412之下。它们之间形成了一个电容，这个电容起着图2存储电容类似的作用。图5的点线a、b和c相当于图4(D)的点划线a、b和c。图4是表示沿点划线作出的截面图。

上述实施例中，CMOS器件采取反相器结构，该CMOS器件也可设想为缓冲器结构，而转移门结构则记述在本申请人及他人提出的日本专利申请系列号145642/1991、145643/1991、145566/1991、157502/1991、157503/1991、157504/1991、157505/1991、157506/1991和157507/1991或这些结构的改进之中。

产生这些结构的掩膜数为5块，第一块掩模用于形成半导体区，

第二块掩模用于形成栅极及其互连，第三块掩模用于形成P—型掺杂区，第四块掩膜用于形成第二金属互连，第五块掩模用于形成像素电极。常规工艺则需要6块掩模，第一块掩模用于形成半导体区，第二块掩模用于形成栅极及其互连，第三块掩模用于形成P—型掺杂区，第四块掩膜用于形成各电极层间绝缘层的窗口，第五块掩模用于形成第二金属互连，第六块掩模用于形成像素电极。

图6说明另一种新颖的制造CMOS结构的方法。与前述的图3与5相联系的制造方法出发，将更易理解本新方法。本实施例中1如果考虑到只有金属互连的阳极氧化膜609，用于第一互连605和第二互连610a的交叉层厚度就不够厚，而互连间的电容会太大，于是形成一层层间绝缘层613附加掩膜。第一块掩膜用于形成半导体区603a、603b，第二块掩膜用于形成栅互连和栅电极605、606a、606b，第三块掩膜用于形成光刻胶层607，第四块掩膜用于形成各电极的在层间绝缘层上的窗口614a、614b、615，第五块掩膜用于形成第二金属互连和电极610a、610b、611，第六块掩膜用于形成该像素电极612。该掩膜模块数与常规制造方法所用的最少掩模块一样。但是，除CMOS结构外，获得了用图3所示制造方法所取得的同样的优点，能够达到高成品率。

图7说明本发明的另一个实施例，在图1、3、4和6的这些实施例中，上下层互连间的层间绝缘层的厚度基本上等于存储电容互连与像素电极间绝缘层的厚度，以增加前者厚度为好，而以减少后者的厚度为优，图7的方法就能满足这种矛盾的要求。

与图1实施例的方法一样，在绝缘基片710上形成一层钝化膜702。形成半导体区703，而后再形成栅氧化膜704。此后形

成栅互连7 0 5、栅极7 0 6 以及存储电容7 0 7。通过阳极氧化法氧化这些互连与电极的表面，用该氧化膜7 0 9 作掩蔽，除去栅绝缘膜。然后就用栅极作为掩蔽，用自对准离子注入法注入掺杂剂离子，这样形成掺杂了的区域7 0 8。栅绝缘膜以后也可以留下。这种情况下，得到图7 (A) 表示的一种结构。

其次，如图7 (B) 所示，形成一象素的电极7 1 2。如图7 (C) 所示，形成一层间绝缘层7 1 3。在这些层间绝缘层7 1 3 上形成用于源、漏电极的窗口7 1 4。再形成一漏互连7 1 0，得到图7 (D) 所示的叠层。

具有这样结构的液晶显示器的各象素中，各导电互连交叉处的层间绝缘层较厚，而存储电容互连的介质层却较薄。用于制作所说这些步骤的掩模板数，到此为止为5 块。第一块掩模用于形成半导体区，第二块掩模用于形成栅互连及其电极，第三块掩模用于形成象素电极，第四块掩模用于形成电极的层间绝缘层上的窗口，第五块掩模用于形成上金属互连。

该结构中，起漏互连作用的上金属互连覆盖着象素电极。结果当形成对面的电极时，漏互连的电场较强，而该象素电极的电场则较弱。正常工作下维持一信号施加到漏互连上。所以即使漏互连占用的面积较小，因高电压加到漏互连上而没考虑图象继续不变地形成明亮或黑暗的条件，因而图象受到很大影响。而且由于传输过该漏互连的信号包含其他象素的信息，类似串话的一种现象发生了。因此采用图7 结构时，对于这一点应予足够的注意。例如需要把T F T (薄膜晶体管) 底板安装在正面，或其它想到的装置上。因为漏互连总是处于阴影与不可见处，加到漏互连上的信号不会影响视觉的感受。

图1和3实施例中的存储电容互连靠在象素电极下面，并因此象素电极不平整，这就使得同一象素电极内的电场强度不均匀，互连的宽度也稍稍不同。因此各象素做得一样高，以达到有更均匀的各象素特性，图8说明的一种方法完全满足这些要求。

按图1和7实施例的同样方法，在绝缘基片801上形成钝化膜802。形成半导体区803，而后形成栅氧化膜804。此后形成栅互连805、栅电极806以及存储电容互连807。这些互连与电极的表面经阳极氧化法氧化。用氧化膜809作掩膜，除去栅绝缘膜。然后当用栅作掩模时，用自准离子注入法注入掺杂剂离子，而形成掺杂区808。栅氧化膜也可以事后留下。这样得到图8(A)所示的一种结构。

然后，如图8(B)所示，形成漏互连810。由有机材料，诸如聚酰亚胺，形成平坦的涂层813，如图8(C)所示。最后，形成源电极窗口815及象素电极812，所得的结构表示在图8(D)中。

到所说的步骤为止，所用的掩膜块数是5块，第一块掩模用于形成半导体区，第二块掩模用于形成栅互连及其电极，第三块掩模用于形成上金属互连，第四块掩膜用于形成电极在层间绝缘层上的窗口，第五块掩模用于形成象素电极。按此方式，本发明能制造适于各种不同用途的半导体器件。

根据本发明，阳极氧化可以作为一种手段用来氧化金属互连。这种阳极氧化在电解液中的阳极和阴极之间可加电压50到200V以上。有时用阳极氧化法氧化了的金属互连与电极周围产生超过10KV/cm的巨大电位梯度。因此必须保护栅绝缘膜能抵抗这样的高电压。

为此要求将半导体区置于与栅互连及电极相同的电位。

图9 说明一种达到此目的的方法。首先在一绝缘基片9 0 1 上形成条形的半导体区9 0 3 。半导体区上再形成栅绝缘膜。又在半导体区的各端的栅绝缘膜上形成窗口9 1 6 。形成栅互连与栅电极9 0 5 。这就是，经窗口9 1 6 把半导体区9 0 3 的电位保持在与栅互连及栅电极9 0 5 相同的电位上。然后用阳极氧化法氧化这些表面，这样半导体区与栅互连/电极之间基本上不会产生电场。因此不大可能有一额外的电压施加到栅绝缘膜上而损坏该薄膜。这种情况见图9 (A)。

阳极氧化完毕，注入掺杂剂原子。将该条形的半导体区分割成适当的长度。在栅互连上形成的氧化膜上做出窗口9 1 7 。然后形成漏互连与漏电极9 1 0 。此种情况，栅互连9 0 5 就与漏互连9 1 0 保持在相同的电位上，其结果就能防止因工作产生的静电而在栅互连与漏互连的交叉处的电介质上击穿。还意味着，这种制作步骤，阳极氧化时，与加上的高电压无关。接着，随除去周围的金属互连线之后，形成象素电极9 1 2 。

在上边的工艺过程中，需要光刻步骤形成窗口以连接导电互连。该步骤的精度远逊于形成 象素步骤的精度，所以添加该光刻步骤不致于降低成品率。只是表面的氧化膜可能要用激光束来蒸发。假如这样，该制作就极其简便。

按图9 方法，用的掩膜数为7 块。这就是，第一块掩模用于形成条形半导体区，第二块掩模用于形成在栅绝缘膜上的窗口，第三块掩模用于形成栅互连与栅电极，第四块掩膜用于分割条形半导体区，第五块掩膜用于形成在氧化膜上的窗口，第六块掩模用于形成漏互连与漏电极，第七块掩膜用于形成象素电极。这种情况下为产生同样的结

构，要比图1 的工艺过程需要更多的掩模板。如上所述该第二和第四掩模板不需高精度，实质上可以理解为需要五块掩模板。即比图1 的方法只需多一块掩模板。

实施例1

现在参看图1 0，描述本发明的实施例1。将本发明应用于AN玻璃基片上制造CMOS TFT。首先按图1 0 (A) 所示，用低压CVD法在AN玻璃基片151上形成厚1 0 0 n m的氧化硅膜152a。在低压CVD法中，原料气体采用二氯硅烷(SiH_2Cl_2)和氨，气压为10到1 0 0 0 p a，温度为5 0 0—8 0 0 $^{\circ}\text{C}$ ，以550到7 5 0 $^{\circ}\text{C}$ 为好。当然，硅烷(SiH_4)或三氯硅烷(SiHCl_3)也可以用。除低压CVD法外，其他CVD技术，诸如等离子体CVD、光协CVD或等离子增强CVD等都可使用。

这种方法形成的氮化硅膜能阻止玻璃基片含有可移动离子，如钠离子之类。进入半导体。因此假如基片上可移动离子的数量相当少，则不必制作氮化硅膜。该氮化硅膜还可由氧化铝膜替代。欲形成氧化铝膜，前述的低压CVD法，要用三甲基铝($\text{Al}(\text{CH}_3)_3$)与一种氧化气体，如氧或一氧化二氮(N_2O)。采用其它CVD技术的话，也可用类似的材料。还有，氮化硅膜可用溅射法形成。

在该图中，氮化硅膜只在形成器件的玻璃基片表面上形成。由于以下的理由，最好整个玻璃基片被包覆在氮化硅膜之内。在随后的阳极氧化步骤中，该基片要浸在电解液中。要是玻璃基片有裸露部分，于是溶液中的碱离子由这些裸露部位解离而粘到或进入半导体区。

然后，形成厚度为7 0 n m的氧化硅膜1 5 2 b。ECR等离子CVD或溅射法都很适宜于做这种膜。一半导体区就形成在该氧化硅

膜上。如果众多的界面能级与许多陷阱中心出现在氧化硅膜与半导体区的界面上，那么半导体区的电导率就不能控制，这会恶化晶体管的特性。所以制作氧化硅膜要给予足够的注意，应想到氮化硅不能被氧化硅替换，因为氮化硅膜自身常常俘获载流子。

我们的研究已经揭示出，用E C R 等离子C V D 法或溅射法形成的氧化硅膜有很小的界面能级密度，因此极适合本用途。尤其是，溅射法制做氧化硅膜の場合，当一块氧化硅用做靶、气氛为氧与氩的混合气体，而氧气含量为50 ~ 100 %时形成的，被覆膜有良好的特性。由E C R 等离子C V D 法产生该膜の場合，在应当用硅烷(SiH_4)和氧，按这个方法形成的氧化硅膜与随后形成的半导体被覆膜或硅膜之间的界面能级密度约为 10^{11}cm^{-2} ，这是一个相当优良的密度。当用溅射或E C R 等离子C V D 法形成被覆膜时。若气氛中添加1—5 %氯化氢、氟化氢之类，或者添加含氯或氟的1—10 %硅烷，诸如二氯硅烷或四氟化硅(SiH_4)，那么，氯或氟就会被引入氧化硅被覆膜中。因此该引入的原子与终端不成对的位置(悬空键)的硅—氧键的硅原子牢固地键合。这样会进一步减少界面能级，例如降低到 5 到 $9 \times 10^{10} \text{cm}^{-2}$ 。

然后，用低压C V D 法形成了厚度为30 nm 的硅被覆膜。使用超过6 N 的硅烷，诸如 SiH_4 、 Si_2H_6 或 Si_3H_8 做硅源。被覆膜不用掺杂剂掺杂。但是在制造C M O S 时，如要求N M O S 与P M O S 的阈值电压基本上相等，那么就把微量的乙硼烷(B_2H_6)加入原料气体中，以使其含硼密度为 10^{15} 到 10^{16}cm^{-3} 。换一种方法把掺杂剂离子，如 BF_2^+ 在形成硅膜之后注入其中。

这三种膜都可用连续形成薄膜的多室薄膜形成装置制成，而无需

将基片暴露在大气中。尤其是一种能保护界面不受沾污的连续成膜系统，对制造薄膜晶体管来说，是不可缺少的，因为半导体的界面特性是重要的。

然后用众所周知的方法光刻图案，使硅被覆膜形成一个p—沟TFT区153a与一个n—沟TFT区153b。该叠层在氢气气氛中600℃下退火24到72小时，使TFT区结晶化。则前述的溅射或ECR等离子CVD法形成了的氧化硅膜154成为栅绝缘膜。类似于上述的氧化硅被覆膜152b，该氧化硅被覆膜与半导体区的界面特性也很重要，所以要极细心地制造这层被覆膜，这层被覆膜的厚度为100nm。

此后，经电子束蒸发形成厚为0.8到1.0 μ m的铝被覆膜。该膜也可用溅射或金属有机物CVD法形成。用周知的方法把铝膜刻成图形，形成栅极156a、156b和栅互连(布线)155。就如此，得到一种如图10(A)所示的叠层。该栅电极的宽度为10 μ m。

然后用阳极氧化法氧化栅电极与栅互连的表面，形成厚0.3至0.5 μ m的氧化铝被覆膜。现在在下文描述实施阳极氧化的方法，应注意下述给出的量值不过是构成的举例。最佳量值应由要制造的器件的尺寸和其它因素决定。这就是下述给出的数值仅仅是限定本发明的范围。首先制成含碱离子浓度为0.1至10%，例如3%。然后将1—20%，如10%的氨水加到酒石酸中，把PH调到7 \pm 0.5。

一铂电极用做阴极放入该溶液内，再把整个叠层浸在溶液中，基片上的栅互连和栅电极被连接到DC电源的正端。首先，供给2mA的恒定电流。阳极和阴极或铂电极之间的电压随时间也随溶液的浓度改变，这取决于在栅电极与栅互连上形成的氧化膜的厚度，通常随氧

化膜的厚度增大，需要一较高的电压。用这种方法保持供电的电流，电压到150 V后，电压就维持不变了。电流加到0.1mA后，保持这种供给的电流，恒流状态持续约50分钟。而恒压状态则持续2小时。在栅电极与栅互连的表面形成了厚度0.3到0.5 μ m的氧化铝膜159。该形成的氧化铝膜不需任何处理，就已足够致密。为增强绝缘能力，将叠层在热水中泡10分钟。通过该步骤形成了能抗高电压6到12 MV/cm的被覆膜。这种情况表示在图10(B)中。

然后，将叠层浸在氢氟酸溶液内，如1/10的氢氟酸，以便腐蚀氧化硅膜154，而在半导体区表面露出，由于氧化铝不溶于氢氟酸，在栅电极与栅互连底下的那些氧化硅膜部分就不会被腐蚀掉。留下栅互连(布线)155与栅电极156a及156b底下的氧化硅154。该栅互连(布线)155底下留下的氧化硅膜含有与栅电极156a及156b留下的氧化硅相同的材料，它就形成在基片(绝缘基片表面)和栅互连(布线)155之间。但是，如若该叠层长时间放在氢氟酸里，甚至栅电极与栅互连下的这些氧化硅膜部分也会被溶解掉。

接着，用公知的离子注入法，以 10^{16} 原子/cm³的浓度注入硼或硼化物，例如BF₂⁺的离子。这时除受到二次散射的离子外，位于栅极下的半导体部分不会有注入离子进入。即掺杂区能够用自对准的工艺过程形成。如此，就形成了P—型掺杂区158a。

其次如图10(C)所示，用光刻胶157涂覆半导体区153a；只露出半导体区153b。在此条件下以 10^{20} 原子/cm³的浓度注入磷离子。半导体区153b已经存在硼离子，但磷离子要超过硼离子浓度。所以该区是n—型掺杂的，得到n—型掺杂区158b。按

这种方法，掺杂剂离子能射进半导体区。在这个掺杂区中，由于离子注入的轰击使晶格畸变。因此该掺杂区设想为一种非晶状态，包括微晶态，或者成为这两种状态的一种混合状态。由于还没有找到描述这种状态的任何恰当的词汇，这里称之为非晶态。

再其次，除掉光刻胶，来自一个激光器，诸如激发物激光器或氦离子激光器的激光辐射照射到叠层上使其退火。这里采用一种发射激光脉冲波长 248 nm 、脉冲宽度 10 nsec 的 Kr F 激发物激光器，如果发生能量密度为 150 到 250 mJ/Cm^2 ，如 210 mJ/Cm^2 的激光辐射 10 次闪射，那么完全可以肯定地实现了结晶化。如果闪射数少于这个值，因激光器输出的不可控的波动和变化，结晶化会不均匀，在这种激光退火下，激光辐射照射不到位于栅极下的部分，因此这些部分不会形成结晶。但是如半导体区较厚，用辐射的衍射，激光辐射到了叠层的几何阴影区，从而会进行晶化。半导体区的厚度大于激光辐射波长的地方，激光辐射的衍射范围约为激光波长之半；半导体区厚度小于激光波长的地方，衍射的范围近似等于半导体区的厚度。在实施例中，半导体区厚度为 30 nm ，远小于激光辐射的波长 248 nm 。因此衍射的范围远小于栅电极的宽度 $10\text{ }\mu\text{ m}$ 。所以如果用离子注入产生了非晶区，用激光退火不会使该区的某些区域结晶化。这些部分的意义稍后会说明。

用这样的方法，大致上能制造出 CMOS TFT 结构。只是需要在这些 TFTs 上形成金属互连，不像现有技术的 TFTs ，不必再形成漏、源电极的窗口。因此很容易形成这些金属互连，更仔细地说，由于已经裸露出这些半导体区，通过在裸露部位上形成铝或其它金属膜就能简单地制造出欧姆接触。因此举个例，如图10所示，在

整个表面形成一层铝膜或多层铝和铬膜1 6 3，不需要的部分用公知的方法光刻腐蚀掉，形成第二导电互连(布线)1 6 0 a、1 6 0 b和1 6 1。互连(布线)1 6 0 a是与设在半导体区1 5 3 a的漏区1 5 8 a连接的漏布线。互连(布线)1 6 0 a是与覆盖着栅互连(布线)1 5 5(栅互连1 5 5上的氧化表面1 5 9)的层相接触。

对不需要高精度的器件来说，这些互连可用金属掩膜，通过真空蒸发或其它方法直接形成。于是如图1 0(D)所示，在要求形成液晶象素的那部分，形成用来做液晶显示器象素电极的被覆膜1 6 2。

用于制作所述步骤的掩膜数到此为止是五块。这就是，第一块掩膜用于形成半导体区1 5 3 a和1 5 3 b，第二块掩膜用于形成栅电极与栅互连，第三块掩膜用于形成光刻胶层1 5 7，第四块掩膜用于形成第二导电互连，第五块掩膜用于形成象素电极。本TFTs有由于栅电极与掺杂区之间的几何上下重合产生的偏移区，此外还有垂直掺杂区1 6 4。在这两类掺杂区间还存在非晶的掺杂区1 6 5。形成非晶区的优点，详细地叙述在本发明人等1 9 9 1年8月16日提出申请的、题为“绝缘栅半导体器件及其制造方法”的日本发明专利申请中，它已转让给日本半导体能源实验有限公司(SemiConductor Energy Laboratory Co. Ltd)，所以这些优点这里不再赘述。

在通过这些步骤制造的叠层(此后叫做第一叠层)上形成聚酰亚胺薄膜。该聚酰亚胺表面用棉布抛光。在另一叠层(此后叫做第二叠层)上形成I T D(铟锡氧化物)的透明电极。再把聚酰亚胺膜制作在该I T D电极之上。聚酰亚胺的表面又用棉布抛光。将第一和第二叠层堆叠在一起，这样使第一叠层上的抛光方向与第二叠层上的抛光方向平行，然后将向列液晶注入到第一与第二叠层之间。此后将具有

一对极化平面彼此相垂直的极化板的尼科耳(Nicol)棱镜粘结在各叠层的外侧。这样就完成了一种非扭转的向列液晶电光器件。要这样粘结尼科耳棱镜,这对极化板的吸收轴的方向与第一及第二叠层的抛光方向成45度角。

当关断时,因二次折射这种非扭转向列液晶电光器件显示白色。而当器件开通时,向列液晶立放在叠层上面呈现黑色。

人们应知道,本发明不限于上述的非扭转向列液晶电光器件,而还能应用于其它液晶电光器件。例如本发明可用于反铁电液晶电光器件。

按照本发明,可以用比常规为少的掩模板数来制造TFTs,也可用与现有技术相同的掩模板数以新的方法来制造出更可靠的TFTs。

本发明的一个目的是改进制造TFTs的成品率,尤其是TFTs有源与漏电极的制做是一种需要精度高于 $1\mu\text{m}$ 的先进技术的工作。这个制作步骤会比其它步骤造成更多的不合格的电路板。

随着一块板上封装的TFTs数量的增加和随板面积的增大,次品数量也会增多,因为电极窗口的形成和电极互连的形成都需要很先进的技术。本发明省去了电极窗口的形成,因此成品率就只与电极互连的形成有关。让我们设想一下,因窗口形成步骤与因形成电极互连步骤造成次品的百分比,两者都为20%。如此两个步骤处理只有64%的成品合格。按照本发明省去了电极窗口的形成步骤,则合格率达80%。

液晶显示器中,由于栅互连与信号线,诸如源与漏互连的短路产生废品造成严重的问题。这是因加工问题,但可认为由不合格的层间绝缘层诱发出的问题直接引起的。特别是,由氧化硅构成的层间绝缘

层不能完全覆盖不平的导电互连，使得其厚度不均匀，尤其是在下层栅互连的侧面上的该膜更薄。另一方面，要在下层互连的上表面形成一足够厚的膜。此种情况下，如形成了上层互连，短路也总是出现在下层互连的侧面处。但是按照本发明的方法，用阳极氧化的方法都能够在下层互连的侧面及上表面，实际上可形成厚度均匀的绝缘膜，所以上述的问题被解决了。要是在该绝缘氧化膜形成之后，形成常规的层间绝缘膜，那么电绝缘性能还会加强。

图 1(A)

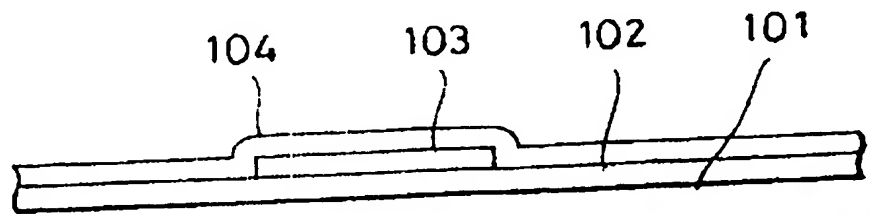


图 1(B)

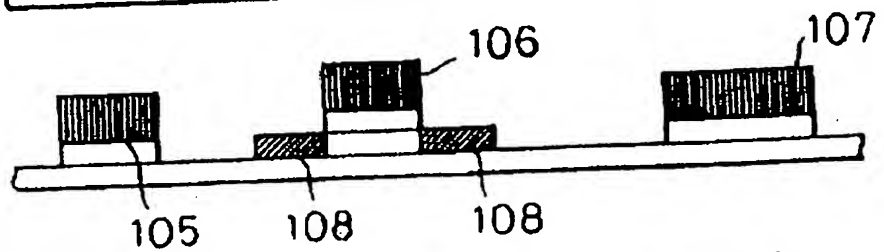


图 1(C)

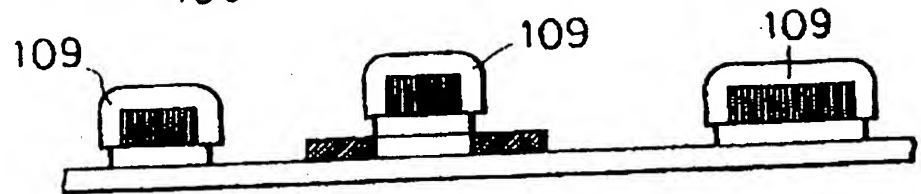


图 1(D)

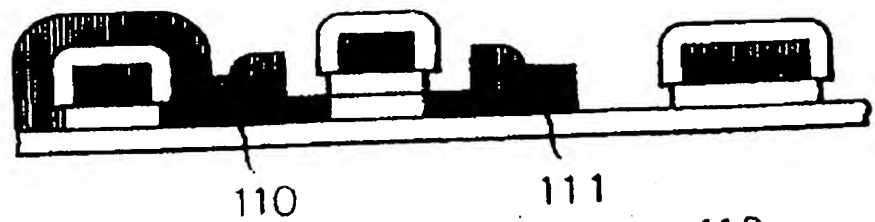


图 1(E)

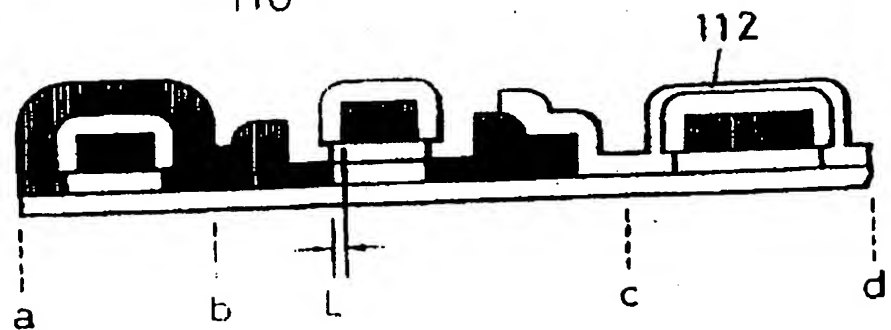


图 2

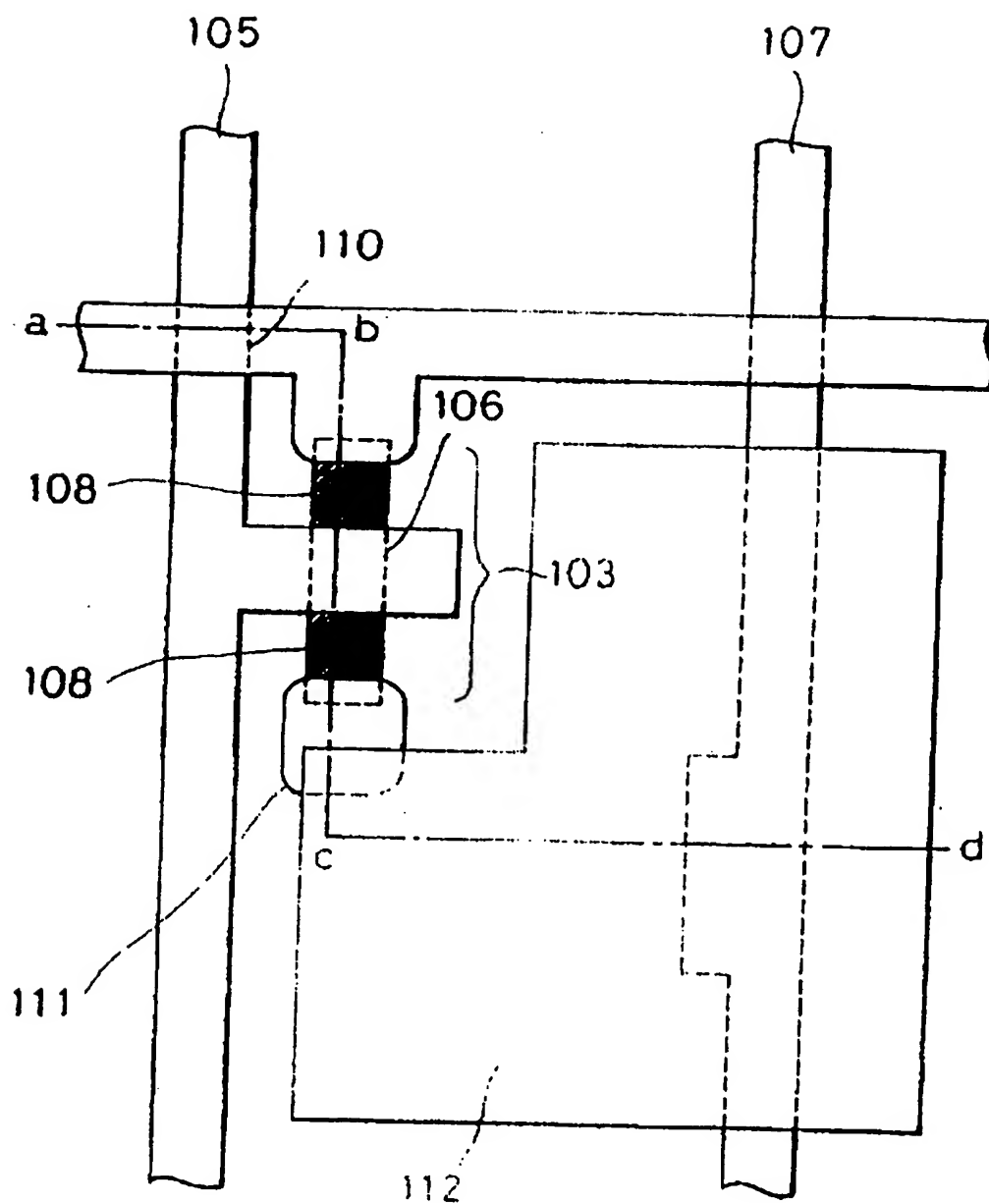


图 3(A)

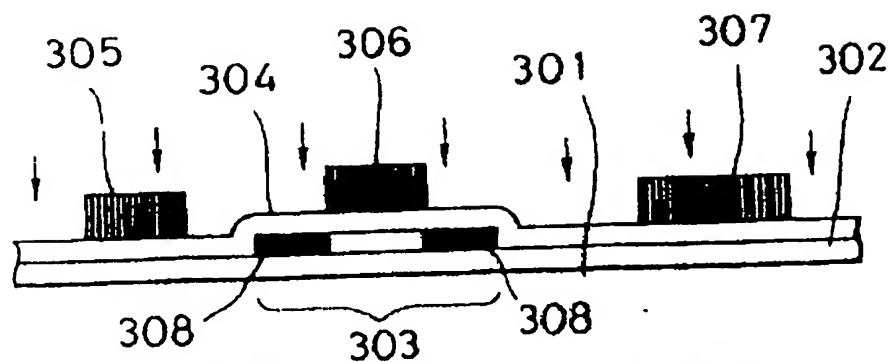


图 3(B)

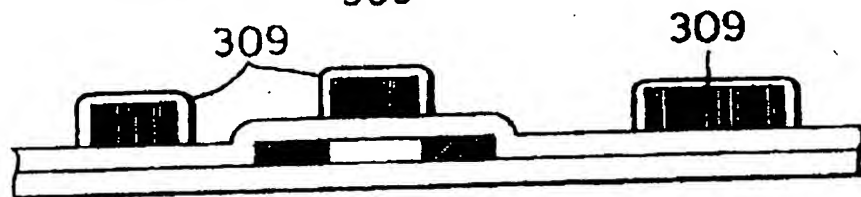


图 3(C)

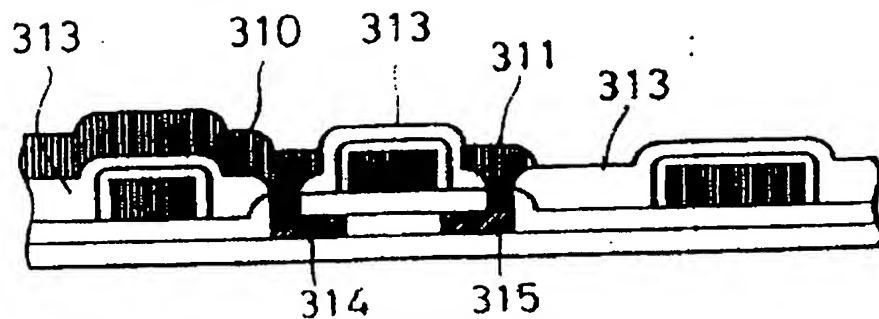


图 3(D)

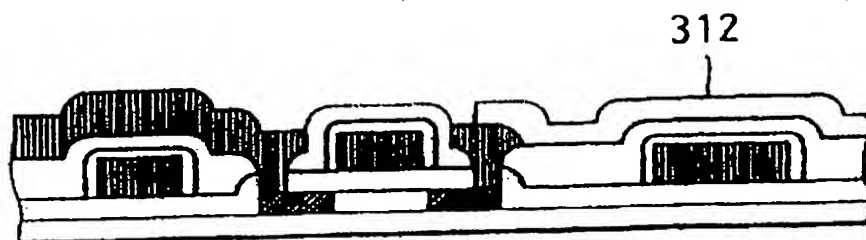


图 4(A)

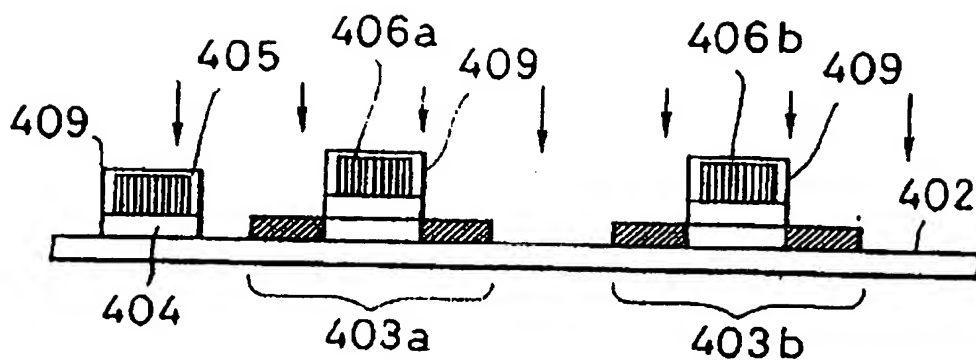


图 4(B)

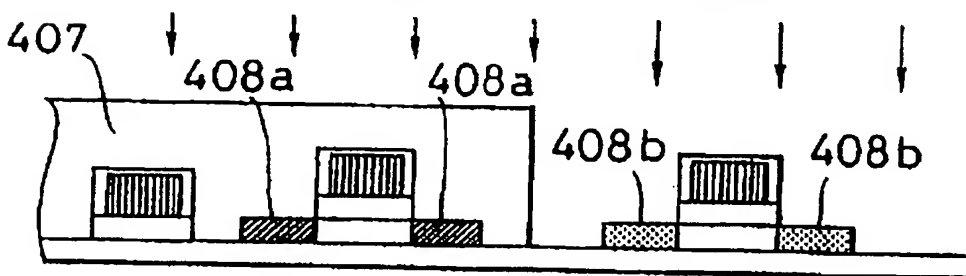


图 4(C)

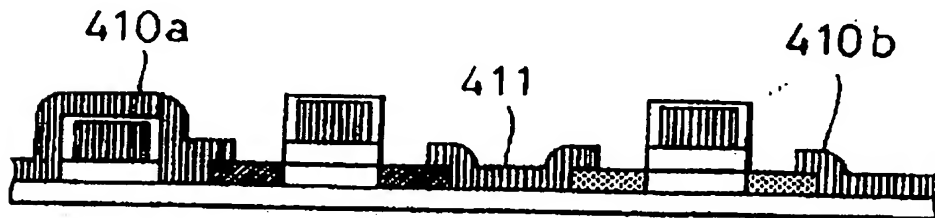


图 4(D)

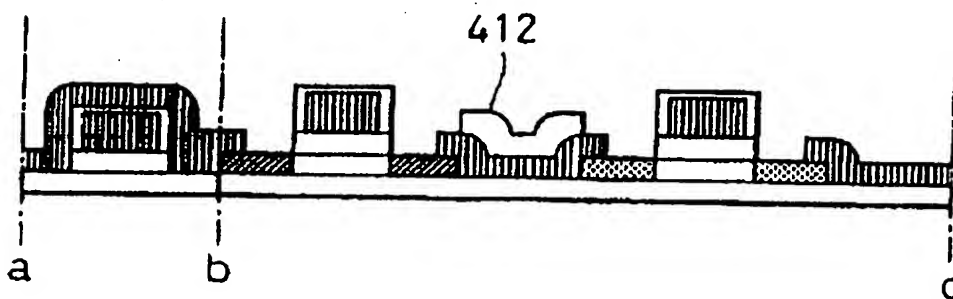
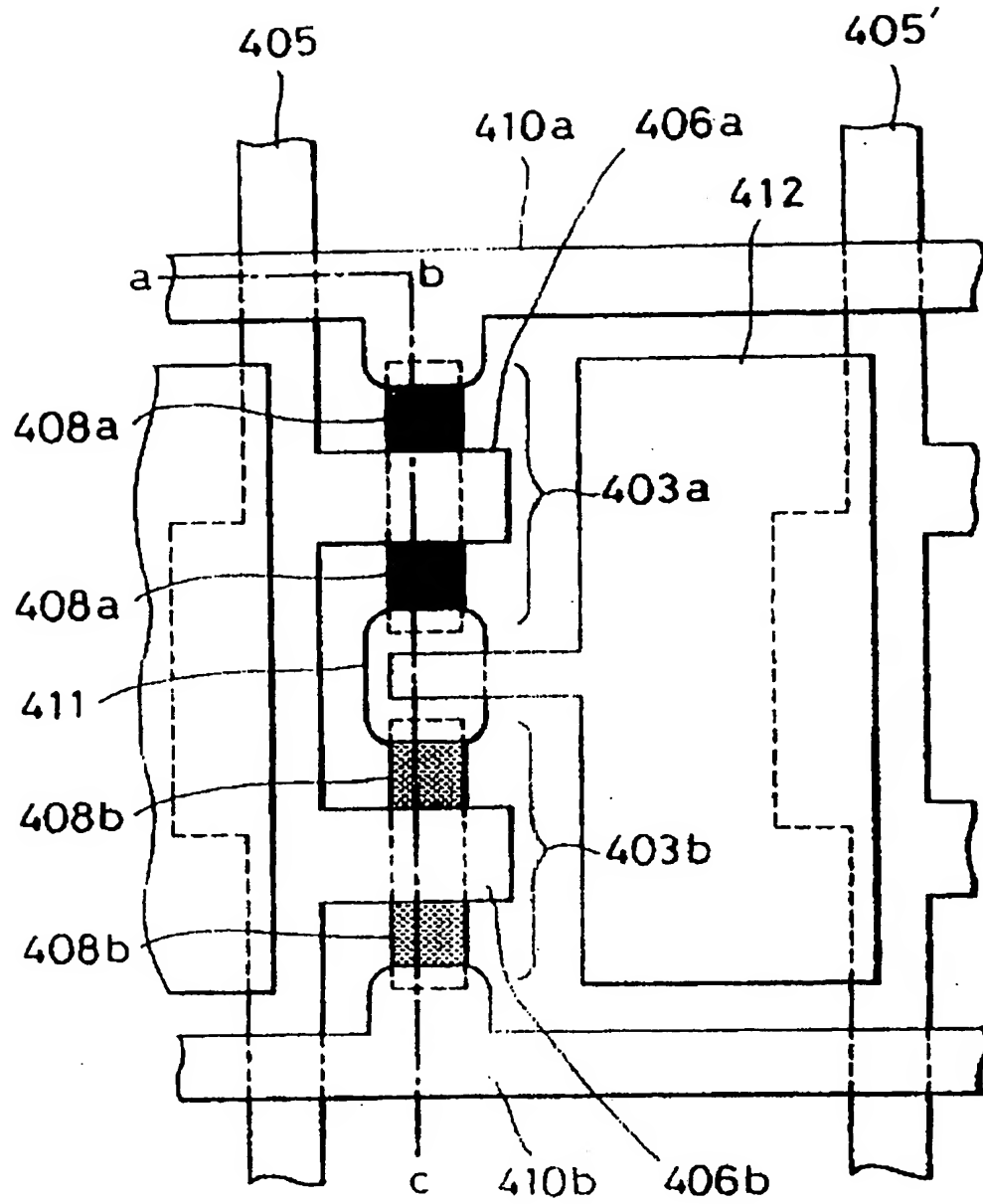


图 5



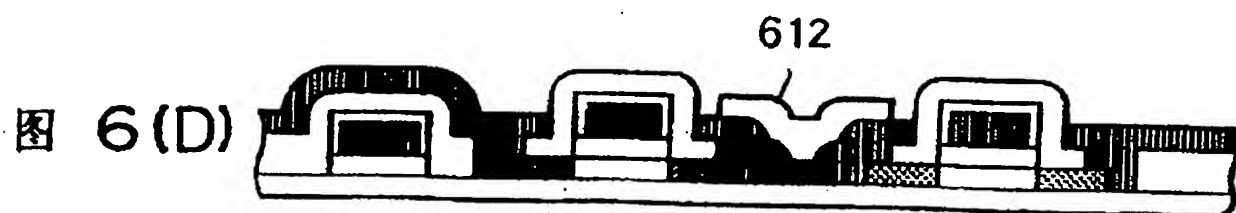
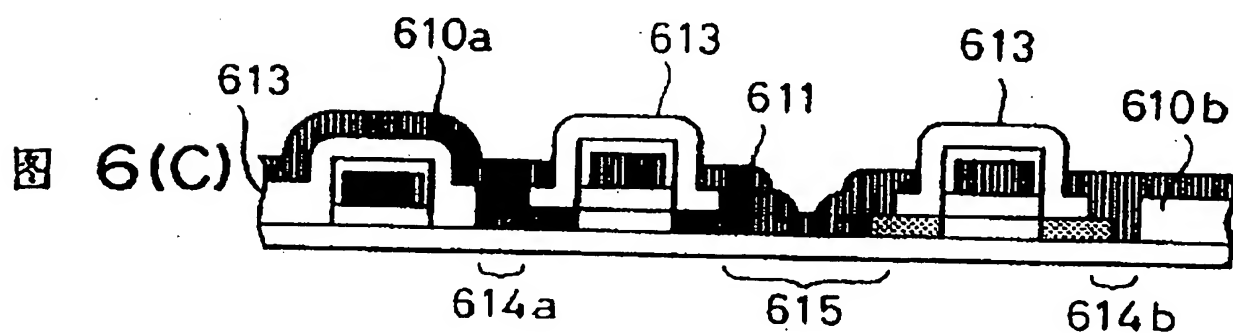
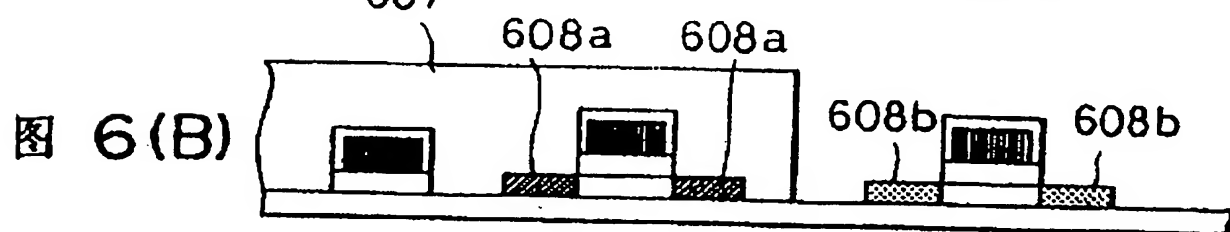
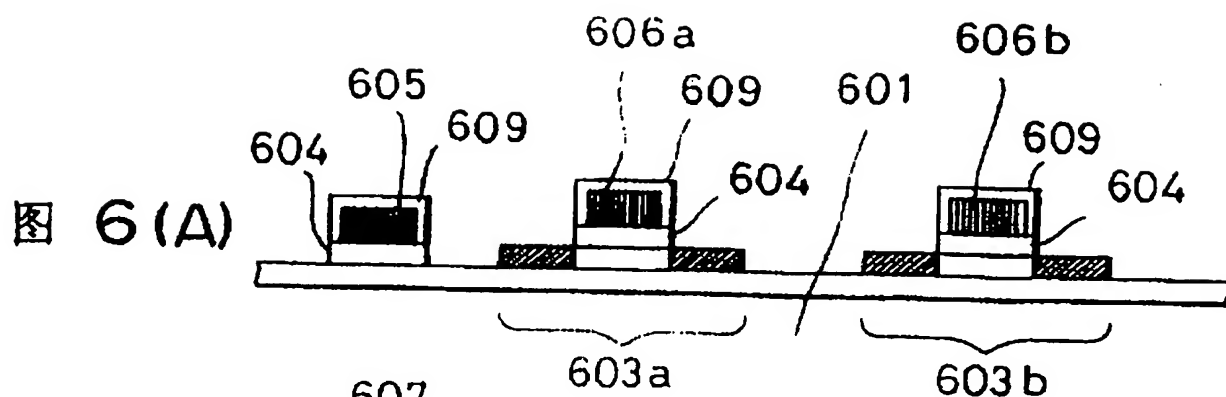


图 7(A)

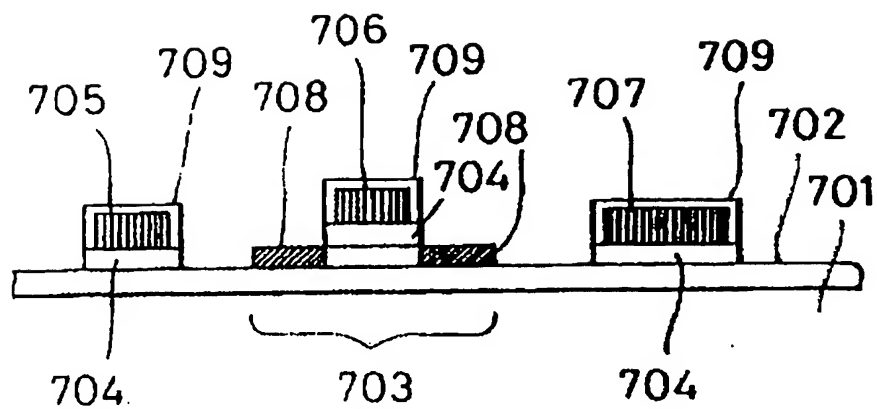


图 7(B)

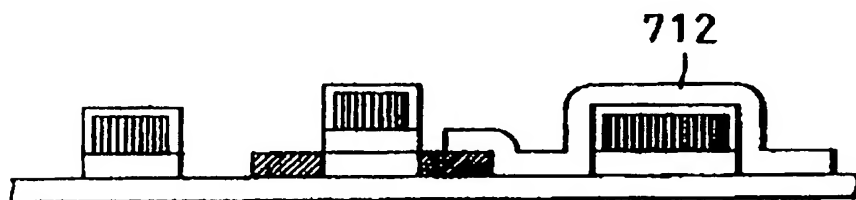


图 7(C)

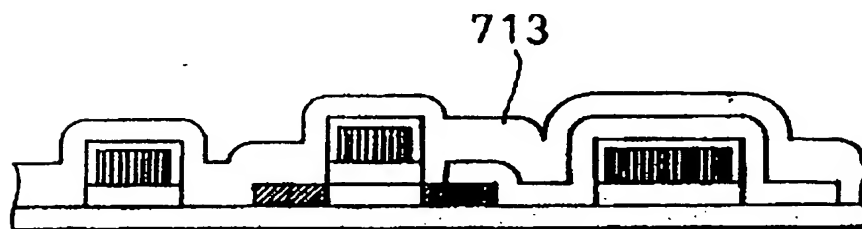


图 7(D)

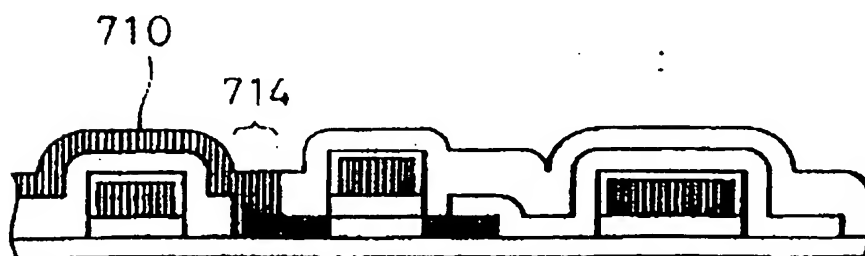


图 8(A)

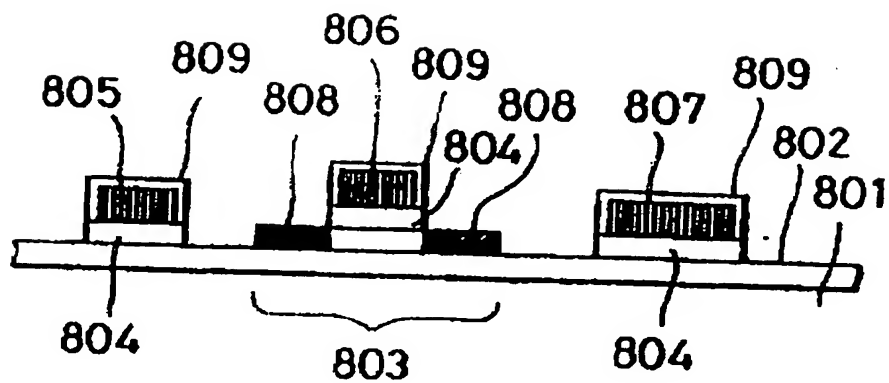


图 8(B)

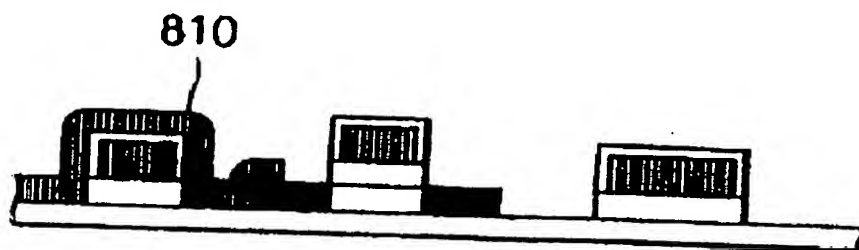


图 8(C)

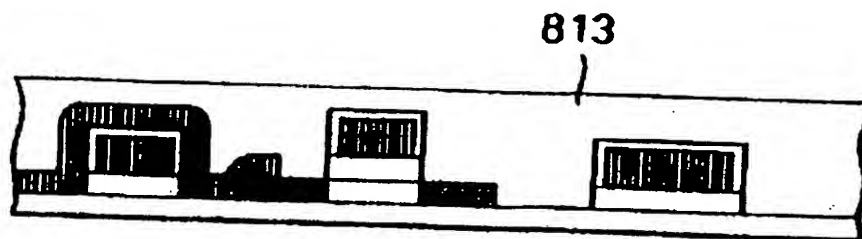


图 8(D)

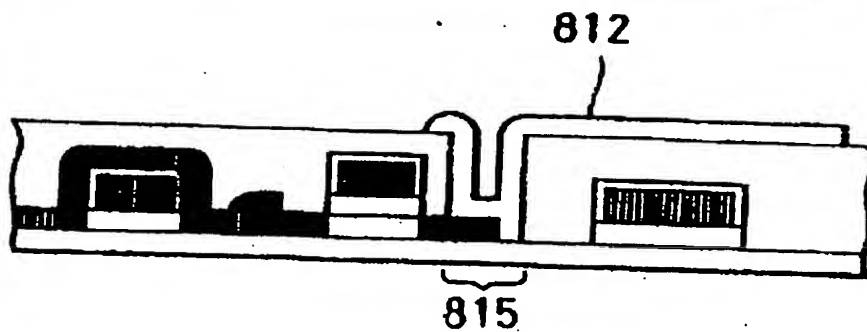


图 9 (A)

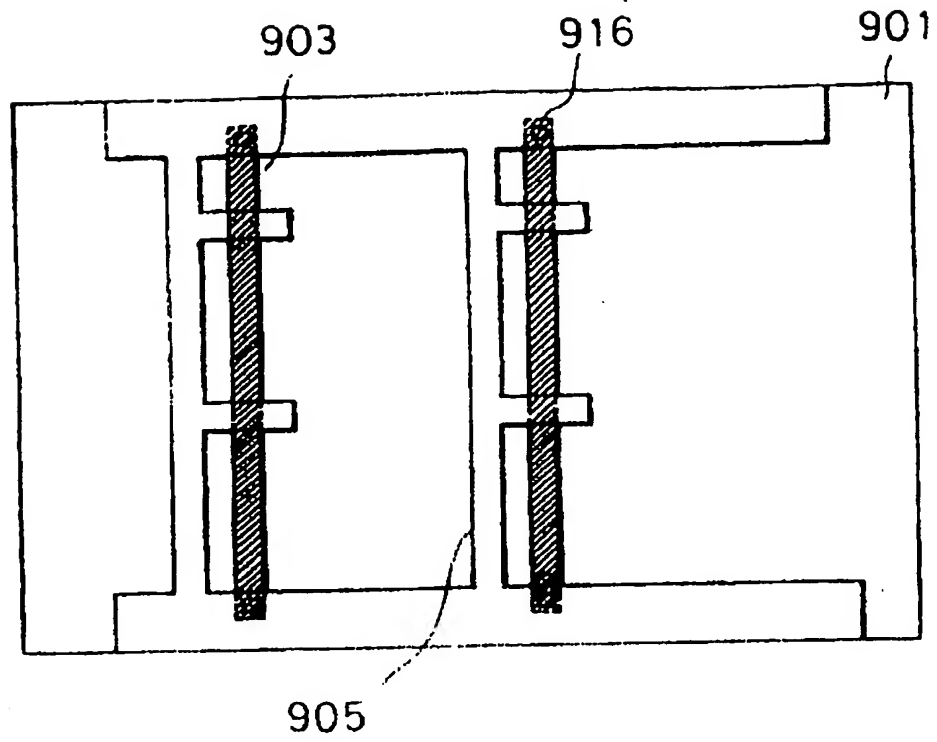


图 9 (B)

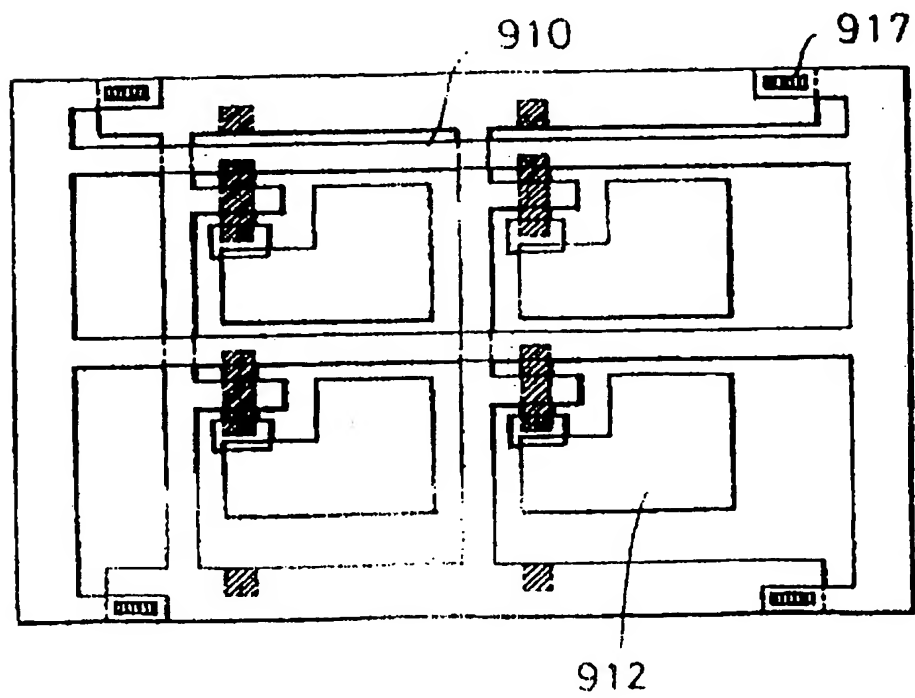


图 10(A)

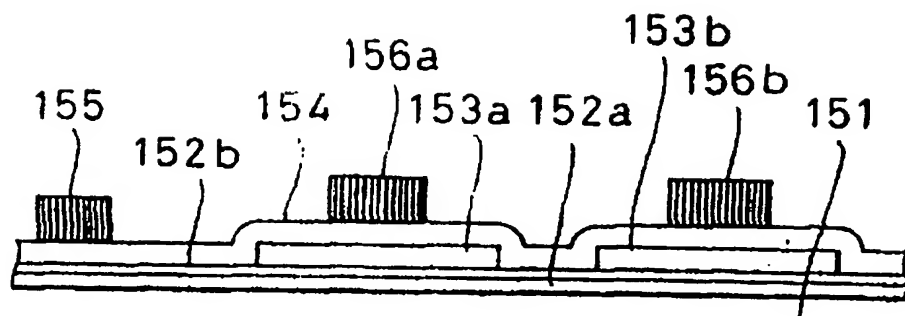


图 10(B)

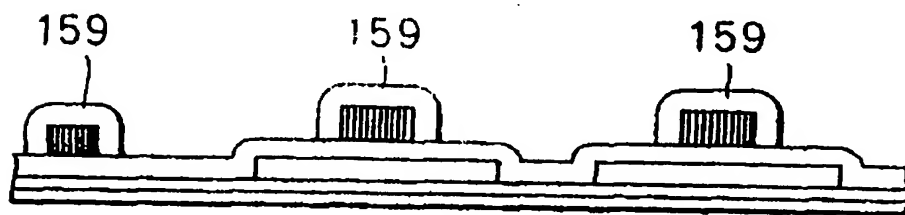


图 10(C)

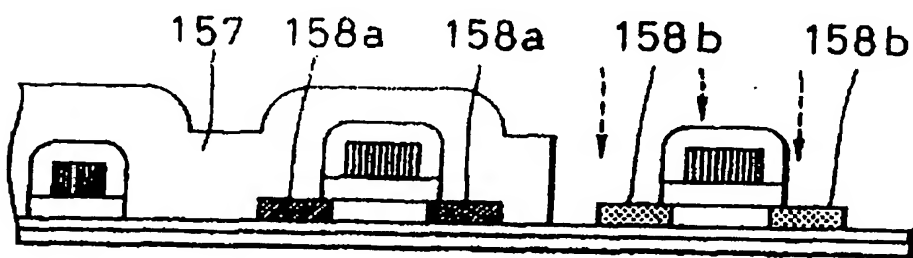


图 10(D)

